

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008751910 **Image available**

WPI Acc No: 1991-255926/199135

XRPX Acc No: N91-195033

Thin film transistor method for manufacture - has non-doped polysilicon
layer between layer just under gate electrode and high-concentration
doped layer NoAbstract Dwg 1/5

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3165575	A	19910717	JP 89305612	A	19891124	199135 B

Priority Applications (No Type Date): JP 89305617 A 19891124; JP 89305612 A
19891124

Title Terms: THIN; FILM; TRANSISTOR; METHOD; MANUFACTURE; NON; DOPE;
POLY; SILICON; LAYER; LAYER; GATE; ELECTRODE; HIGH; CONCENTRATE; DOPE;
LAYER; NOABSTRACT

Derwent Class: U12

International Patent Class (Additional): H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03502675 **Image available**

THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: 03-165575 [JP 3165575 A]

PUBLISHED: July 17, 1991 (19910717)

INVENTOR(s): SUMIYOSHI KEN

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-305617 [JP 89305617]

FILED: November 24, 1989 (19891124)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1122, Vol. 15, No. 405, Pg. 104,
October 16, 1991 (19911016)

ABSTRACT

PURPOSE: To reduce an OFF current by a method wherein a non-doped polycrystalline silicon layer 1000nm or below in thickness is provided between a non-doped polycrystalline silicon layer just under a gate electrode and a high concentration doped polycrystalline silicon layer which is made to serve as a source region or a drain region.

CONSTITUTION: A first polycrystalline silicon thin film 101 to be a channel layer is formed on a substrate. In succession, a gate oxide film 102 is formed on the first polycrystalline silicon thin film 101, and then a gate electrode 103 is built on the gate oxide film 102. Thereafter, an oxide film is formed through a thermal oxidation process, and a source region 104 and a drain region 105 are formed through an ion implantation process. In the ion implantation process concerned, a boundary A of a region where ions are implanted is located outside a point B just under a gate electrode. Then, an insulating film is formed and processed into a wiring electrode 106. On the other hand, the width of a high resistive polycrystalline silicon layer is controlled by the thickness of the oxide film of the gate electrode, so that the high resistive polycrystalline silicon layer can be easily set to 1. μ m or below in thickness, in result an OFF current can be made low keeping an ion current high in intensity.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-165575

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月17日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 H

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 薄膜トランジスタとその製造方法

⑯ 特 願 平1-305817

⑰ 出 願 平1(1989)11月24日

⑱ 発 明 者 住 吉 研 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

薄膜トランジスタとその製造方法

特許請求の範囲

(1) 多結晶シリコンで成るチャネル層を備えている多結晶シリコン薄膜トランジスタにおいて、ゲート電極直下のノンドープ多結晶シリコン層とソース領域あるいはドレイン領域である高濃度ドープ多結晶シリコン層との間に厚さ1000nm以下のノンドープ多結晶シリコン層を有することを特徴とした多結晶シリコン薄膜トランジスタ。

(2) チャネル層となる多結晶シリコンを作製した後、該チャネル層上部にゲート酸化膜を形成し、該ゲート酸化膜上部にゲート電極を形成し、該ゲート電極を熱酸化し、イオン注入を行うことによりチャネル層内にドレイン領域とソース領域を作製することを特徴とした多結晶シリコン薄膜トランジスタの製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は薄膜トランジスタに関するものである。

〔従来の技術〕

薄膜トランジスタを用いた密着イメージセンサあるいは液晶表示装置の開発が各所において行われている。薄膜トランジスタは現在では、非晶質シリコンあるいは多結晶シリコンを素材とするものが一般的となりつつある。非晶質シリコンを用いた薄膜トランジスタは移動度が低い、低いリーク電流を得ることができるためおもに液晶表示装置などに用いられている。

一方、多結晶シリコン薄膜を用いた薄膜トランジスタは大きな移動度を持つため、駆動系を含めた回路構成が可能である。しかしながら、多結晶シリコンを用いた薄膜トランジスタはリーク電流が大きくなりやすいという特徴を有していた。

〔発明が解決しようとする課題〕

特開平3-165575(2)

前述した多結晶シリコン薄膜トランジスタのリーク電流を低く抑えるために、いままでいくつかの工夫がなされてきた。

第1に薄膜トランジスタのチャネル層となる多結晶シリコンの膜厚を薄くすることである。この方法は実際にはチャネル層を50nm以下に設定しなければならず、ソース領域とドレイン領域がコンタクト不良になり易いという欠点を有していた。

第2ゲート電極を分割する多ゲート電極構造である。この方法は、ゲート電極を分割することによってドレイン電圧の分割を行うものである。しかしながら、複数のゲート電極を設けなければならないためトランジスタ領域の占有面積が大きくなるという欠点を有していた。

第3に高ドーパ低抵抗のソース領域あるいはドレイン領域とノンドープ高抵抗のチャネル領域の間に、低ドーパの領域を挿入する方法である。この構造はLDD構造として知られている。ただし、この構造を作製するためには低ドーパ層を作製す

成し、該ゲート電極を熱酸化し、イオン注入を行うことによりチャネル層内にドレイン領域とソース領域を作製することから構成される。

(作用)

はじめに本発明による薄膜トランジスタの作製方法について第1図を用いて説明する。はじめに第1図(a)に示すように、チャネル層となる第1層多結晶シリコン薄膜101を基板上に形成、成形する。前記工程の後、第1図(b)に示すように、ゲート酸化膜102を第1層多結晶シリコン薄膜に形成する。続いて、第1図(c)に示すように、ゲート電極103である多結晶シリコンをゲート酸化膜102の上に形成、成形する。前記工程の後、熱酸化工程により第1図(d)に示すように酸化膜を形成する。引続き、イオン注入によりソース領域104とドレイン領域105の形成を行う。前記イオン注入工程においては、第1図(d)に示すようにイオンの打ち込まれる領域の境界Aが実際のゲート電極直下Bより外側になる。ゲート電極となる多結晶シリコンを熱酸化

するために新たにフォトリソグラフィ工程とイオン注入工程が必要である。このため、薄膜トランジスタ作製工程が長くなるという欠点を有していた。

本発明は上記問題点を解決した低リーク電流の多結晶薄膜トランジスタ及びその製造方法を提供することにある。

(課題を解決するための手段)

本発明の多結晶シリコン薄膜トランジスタは、チャネル層に多結晶シリコン薄膜を用いた多結晶シリコン薄膜トランジスタにおいて、ゲート電極直下のノンドープ多結晶シリコン層とソース領域あるいはドレイン領域である高濃度ドーパ多結晶シリコン層との間に厚さ1000nm以下のノンドープ多結晶シリコン層を有する構成になっている。

本発明の多結晶シリコン薄膜トランジスタを作る製造方法は、チャネル層となる多結晶シリコンを作製した後、該チャネル層上部にゲート酸化膜を形成し、該ゲート酸化膜上部にゲート電極を形

成することによるゲート電極側面の酸化膜が存在するためである。この後、第1図(e)に示すように絶縁膜を形成、加工し、第1図(f)に示すように配線電極106を形成する。

本発明の多結晶シリコン薄膜トランジスタを第2図を用いて説明する。第2図に示すようにソース領域201あるいはドレイン領域202とゲート電極204直下のチャネル領域の間にイオン注入していない高抵抗多結晶シリコン層203が存在することである。

通常のフォトリソグラフィ工程により、高抵抗多結晶シリコン層を作製する場合には前記高抵抗多結晶シリコン層厚1μm以下にすることは困難である。このため、ゲート電極に電圧を印加した場合にチャネル領域に直列につながる抵抗が大きく低いオン電流しか得ることができない。さらに高抵抗多結晶層を作成するため新たにフォトリソグラフィ工程を追加しなければならず工程が長くなるという欠陥を有している。一方、本発明によれば高抵抗多結晶シリコン層の幅をゲート

特開平3-165575 ()

電極の酸化膜厚によって制御することができるため容易に $1\mu\text{m}$ 以下の値に設定することができる。このため、高いオン電流を保ったままオフ電流を低く抑えることができる。また、高抵抗多結晶シリコン層を設けるために新たにフォトリソグラフィ工程を追加する必要がない。

〔実施例〕

本発明の薄膜トランジスタの製造方法の実施例について第3図を用いて説明する。第3図(a)に示すように石英基板300を洗浄後、この基板上に、化学気相反応法により多結晶シリコン薄膜301を 150nm 堆積し、フォトリソグラフィ工程により島状に成形する。前記工程後、第3図(b)に示すように熱酸化工程によりゲート酸化膜302を形成する。さらに多結晶シリコン薄膜を気相化学反応法により 200nm 堆積しリン拡散した後フォトリソグラフィ工程により成形し、第3図(c)に示すようにゲート電極303を作製する。前記工程の後、第3図(d)に示すように熱酸化してゲート電極表面に酸化膜302

aを 30nm 形成する。前記工程の後、イオン注入を行い $1\times 10^{19}\text{cm}^{-3}$ のリンを打ち込み、ソース領域304及びドレイン領域305を形成する。前記工程の後、気相化学反応法により酸化シリコン膜を厚さ 500nm 形成し、フォトリソグラフィ工程によりコンタクトホール31を第3図(e)に示すように形成する。前記工程の後、第3図(f)に示すように配線材としてアルミニウムをスパッタ法により成膜しフォトリソグラフィ工程を経て成形。ドレイン電極307とソース電極306を形成する。前記工程の後、水素放電に曝す。

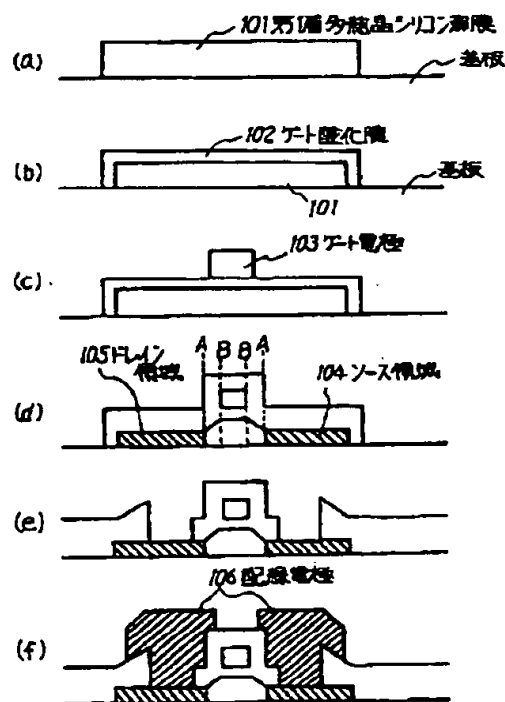
比較のために、第4図に示すような従来技術による多結晶薄膜トランジスタを作製した。第3図(f)に示す本発明の薄膜トランジスタと従来技術による第4図に示す薄膜トランジスタ両者の特性を第5図に示す。第5図に示すように本発明の薄膜トランジスタ構造においてはオフ電流が低減されていることが分かる。

図面の簡単な説明

第1図は、本発明の多結晶シリコン薄膜トランジスタの製造方法を説明するための図。第2図は、本発明の多結晶シリコン薄膜トランジスタを説明するための図。第3図は、本発明の実施例を説明するための図。第4図は、本発明と実施例と比較するために作製した従来技術による多結晶シリコン薄膜トランジスタの断面図。第5図は、本発明と従来技術による多結晶薄膜トランジスタの特性図。

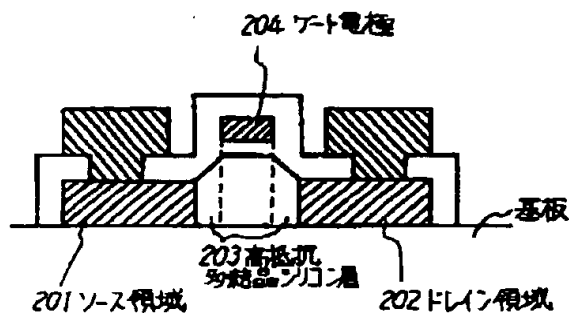
101…第1層多結晶シリコン層、102…ゲート酸化膜、103…ゲート電極、104ソース電極、105ドレイン電極、106…配線電極、201…ソース領域、202…ドレイン領域、203…高抵抗多結晶シリコン層、204…ゲート電極、301…多結晶シリコン薄膜、302…ゲート酸化膜、303…ゲート電極、304…ソース領域、305…ドレイン領域、306…ソース電極。

代理人 弁護士 内原 晋

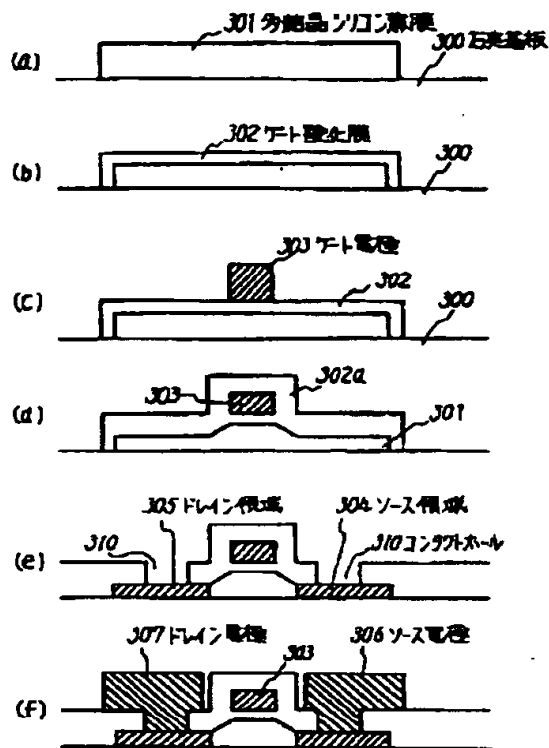


第 1 図

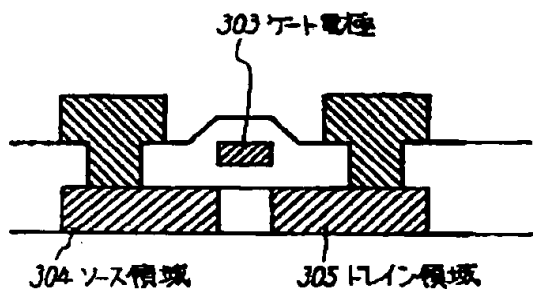
特開平3-165575 (4)



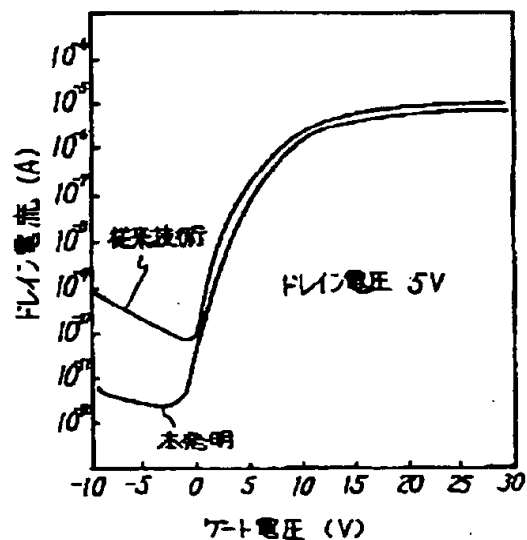
第 2 図



第 3 図



第 4 図



第 5 図

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

008430693 **Image available**

WPI Acc No: 1990-317694/199042

Prodn. of SOI type FET - by providing silicon selective epitaxial growth
and forming wiring layer connecting to silicon NoAbstract Dwg 1g/4

Patent Assignee: AGENCY OF IND SCI & TECHNOLOGY (AGEN)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2228041	A	19900911	JP 8946475	A	19890301	199042 B

Priority Applications (No Type Date): JP 8946475 A 19890301

Title Terms: PRODUCE; SOI; TYPE; FET; SILICON; SELECT; EPITAXIAL; GROWTH;
FORMING; WIRE; LAYER; CONNECT; SILICON; NOABSTRACT

Derwent Class: L03; U11; U12; U13

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03252541 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 02-228041 [JP 2228041 A]

PUBLISHED: September 11, 1990 (19900911)

INVENTOR(s): INOUE YASUAKI

NISHIMURA TADASHI

KUSUNOKI SHIGERU

APPLICANT(s): AGENCY OF IND SCIENCE & TECHNOL [000114] (A Japanese Government or Municipal Agency), JP (Japan)

APPL. NO.: 01-046475 [JP 8946475]

FILED: March 01, 1989 (19890301)

INTL CLASS: [5] H01L-021/336; H01L-021/20; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1006, Vol. 14, No. 537, Pg. 71,
November 27, 1990 (19901127)

ABSTRACT

PURPOSE: To make a transistor small and contrive its high integration by performing a selective epitaxial growth of Si in a region in which contact is formed by making Si below a spacer act as a seed and forming a wiring layer connecting to the above epitaxial Si layer.

CONSTITUTION: Patterning of the SOI(Silicon on Insulator) layer of source and drain regions 9 and 10 is performed by the use of spacers 8 which are applied for an LDD(Lightly Doped Drain/Source) technique as masks. The selective epitaxial growth of a doped Si is performed by making end faces of the Si act as seeds and a wiring layer 13 connecting to the epitaxial Si layer is formed. Then patterning of the SOI layer is performed by the use of the spacers 8 of gate electrode side walls and, using the end faces as the seeds, the selective epitaxial growth of the doped Si is performed. This approach simplifies the conventional process of the formation of a contact hole and may reduce the area of contact.